

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08083819  
PUBLICATION DATE : 26-03-96

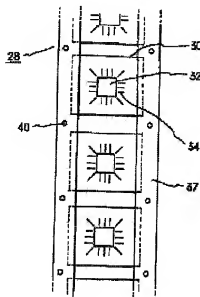
APPLICATION DATE : 13-09-94  
APPLICATION NUMBER : 06218849

APPLICANT : EASTERN:KK;

INVENTOR : KATO YUJI;

INT.CL. : H01L 21/60 B65D 85/86 H05K 13/02

TITLE : PACKAGE FOR TAPE CARRIER  
SEMICONDUCTOR DEVICE, ITS  
MANUFACTURING METHOD, AND  
MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To provide a package for tape carrier semiconductor device which achieves with good yield device manufacturing process without any mixture of non-conforming articles.

CONSTITUTION: A chip-mounting part 32 and a wiring pattern 34 are formed on a rigid panel made of resin. Only conforming unit wiring boards 30 of the unit wiring boards 30 which are cut into individual pieces are aligned in a row with a specific pitch, both edge parts are connected by a heat-resistance tape 37 via an adhesive, and a positioning hole 40 is opened to the tape 37 at a specific pitch.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-83819

(43) 公開日 平成8年(1996)3月26日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 I 1 R	7726-4E		
B 6 5 D 85/86				
H 0 5 K 13/02	B			
		0330-3E	B 6 5 D 85/ 38	N

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号	特願平6-218849	(71) 出願人	582214450 株式会社イースタン 長野県茅野市家原1丁目8番37号
(22) 出願日	平成6年(1994)9月13日	(72) 発明者	宇都宮 久修 長野県茅野市家原1-8-37 株式会社イースタン内
		(72) 発明者	坂澤 達見 長野県茅野市豊平5335 株式会社イースタン内
		(72) 発明者	藤森 直和 長野県茅野市豊平5335 株式会社イースタン内
		(74) 代理人	弁理士 続貫 隆夫 (外1名)

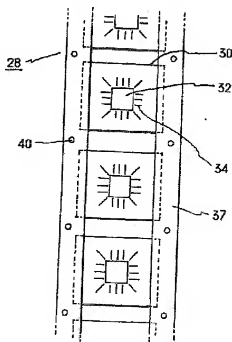
最終頁に続く

(54) 【発明の名称】 テープキャリア半導体装置用パッケージ、その製造方法および半導体装置の製造方法

## (57) 【要約】

【目的】 不良品の混入がなく、以後の半導体装置製造工程を歩留りよく行えるテープキャリア半導体装置用パッケージを提供する。

【構成】 樹脂製のリジッドパネル10にチップ搭載部32および配線パターン34が形成され、個片に切斯された単位配線板30の良品のみの単位配線板30が、所定のピッチをもって一列に、接着剤38を介して耐熱性のテープ37で間隔縁部を連結され、かつ該テープ37に所定のピッチで位置決め孔40が開口されていることを特徴としている。



## 【特許請求の範囲】

【請求項 1】 樹脂製のリジッドパネルにチップ搭載部および配線パターンが形成され、個片に切断された単位配線板の良品のみの単位配線板が、所定のピッチをもつて一列に、接着剤を介して耐熱性のテープで両側縁部を連続されていることを特徴とするテープキャリア半導体装置用パッケージ。

【請求項 2】 所要の切断代だけの間隔があげられて、チップ搭載部および所要の配線パターンを有する単位配線板が密なレイアウトをもつて多数個作り込まれた樹脂製のリジッドパネルから、各単位配線板が個片に切断され、該個片に切断された単位配線板のうちの良品のみの単位配線板が、所定のピッチをもつて一列に、接着剤を介して耐熱性のテープで両側縁部を連続されていることを特徴とするテープキャリア半導体装置用パッケージ。

【請求項 3】 前記テープに所定のピッチで位置決め孔が開口されていることを特徴とする請求項 1 または 2 記載のテープキャリア半導体装置用パッケージ。

【請求項 4】 前記単位配線板が、チップ搭載部と所要の配線パターンが形成されると共に、外部接続用のはんだボールが接続される端子が形成されたボールグリッドアレイタイプの単位配線板であることを特徴とする請求項 1、2 または 3 記載のテープキャリア半導体装置用パッケージ。

【請求項 5】 樹脂製のリジッドパネルに所要の切断代だけの間隔をあげてチップ搭載部および所要の配線パターンを有する単位配線板を密なレイアウトをもつて多数個作り込む工程と、該リジッドパネルから、各単位配線板を個片に切断する工程と、個片に切断された単位配線板の検査をし、良品のみの単位配線板を選択する工程と、選抜された良品の単位配線板を所定のピッチをもつて一列に両側縁部を接着剤を介して耐熱性を有するテープで連続する工程とを含むことを特徴とするテープキャリア半導体装置用パッケージの製造方法。

【請求項 6】 樹脂製のリジッドパネルにチップ搭載部および配線パターンが形成され、個片に切断された単位配線板の良品のみの単位配線板が、所定のピッチをもつて一列に、接着剤を介して耐熱性のテープで両側縁部を連続され、かつ該テープに所定のピッチで位置決め孔が開口されたテープキャリア半導体装置用パッケージを用い、次の工程により半導体装置を形成することを特徴とする半導体装置の製造方法。

(A) テープキャリア半導体装置用パッケージを前記位置決め孔を用いて送り込む工程、(B) 送りこまれたテープキャリア半導体装置用パッケージの各単位配線板のチップ搭載部にチップを固定する工程、(C) チップ搭載部に固定されたチップと配線パターンとを電気的に接続する工程、(D) チップを樹脂封止する工程。

【請求項 7】 樹脂製のリジッドパネルにチップ搭載部、配線パターンおよび外部接続用のはんだボールが接続される端子が形成され、個片に切断された単位配線板の良品のみの単位配線板が、所定のピッチをもつて一列に、接着剤を介して耐熱性のテープで両側縁部を連続され、かつ該テープに所定のピッチで位置決め孔が開口されたテープキャリア半導体装置用パッケージを用い、次の工程により半導体装置を形成することを特徴とする半導体装置の製造方法。

(A) テープキャリア半導体装置用パッケージを前記位置決め孔を用いて送り込む工程、(B) 送りこまれたテープキャリア半導体装置用パッケージの各単位配線板のチップ搭載部にチップを固定する工程、(C) チップ搭載部に固定されたチップと配線パターンとを電気的に接続する工程、(D) チップを樹脂封止する工程、(E) 前記端子にはんだボールを接続する工程、(F) 樹脂封止され、かつはんだボールが接続された半導体装置を個々に分離する工程。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はテープキャリア半導体装置用パッケージ、特にボールグリッドアレイタイプに用いて好適なテープキャリア半導体装置用パッケージ、その製造方法および半導体装置の製造方法に関する。

【0002】

【従来の技術】 リジッドプリント配線板からなる半導体装置用パッケージは、図 1 に示されるように、樹脂製のリジッドパネル 10 に、チップ搭載部 12、所要の配線パターン 14 を有する単位配線板 16 (単位配線板装置用パッケージ) を所定のレイアウトで形成し、これをユーザのニーズに合わせ、例えば図示のように、単位配線板 16 が 3 個並べた短冊状のストリップフレーム 18 に切断してユーザに供給される。ユーザ側では、入手したストリップフレーム 18 をあらかじめ形成してある位置決め孔 20 を基準に各処理装置に位置決めして各単位配線板 16 を順次送り込み、チップ付け (ダイボンディング)、ワイヤボンディング、チップの樹脂封止等を行い、切断分離して個々の半導体装置を製造するようにしている。

【0003】

【発明が解決しようとする課題】 ところで、従来のようにストリップフレーム 18 状に形成するときは、複数の単位配線板 16 (単位配線板装置用パッケージ) を繋げると共に、上記の位置決め孔 20 が形成されるフレーム部 22 が単位配線板 16 の周囲に一定の幅で必要となり、また隣接する単位配線板 16 との間にも、ダイ付け装置、ワイヤボンディング装置、樹脂封止装置等の各処理装置における送り量に合わせて、最終的に個々の半導体装置に切断分離する切断代も含めて所定の間隔  $m$  が要である。さらには、隣接するストリップフレーム 18

との間にも少なくともフレームに切断する際の切断面を確保しておく必要がある。

【0004】このため、従来においては、上記の、いわば最終製品となった露無駄となるフレーム部22、間隔mの部分、切断面等の面積が大きくなり、取数を多くするレイアウトにも限界があり、リジッドパネル当たりの製品の取数が少なくなるという課題があった。単位配線板16の大きさにもよるが、例えば、図11に示す330×330mm角のリジッドパネル1枚当たりから、3個の単位配線板16が配置された96×40mm角のストリップフレーム18を得る場合には、2枚のストリップフレーム18、したがって63個の単位配線板16しか得られなかった。

【0005】さらに、製造技術上、不良品が混入してくるのは避けられないものであるが、例えば3個の単位配線板16のストリップフレーム18の場合で単位配線板16のうち1個でも不良品が有る場合には、そのストリップフレーム18全体が不良品扱いされ、他の2個の良品の単位配線板16も不良品扱いされることとなり、歩留りが低下し、コスト高となる課題があった。一方、3個の単位配線板16のうち1個のみの不良品の混入が許される場合であっても、今度はユーザー側で不良品の排出が厄介となる課題点がある。

【0006】また、単位配線板16にチップを搭載し、該チップを樹脂封止する場合に封止樹脂はチップが搭載された側のみの、いわゆる片面封止とする場合が多いが、この片面封止の場合には、封止樹脂の熱収縮により半導体装置に反りが生じるという課題がある。特にストリップフレーム18の中央側の半導体装置に反りが大きくなるが、反りが生じた場合、ボンディングワイヤの割れ、切れが生じたりする不具合があったり、特にボールグリッドアレイタイプの半導体装置の場合には、はんだボールが平面上にないことから、実装不良が生じやすいなどの課題がある。

【0007】そこで、本発明は上記課題を解決すべくなされたものであり、その目的とするところは、不良品の混入がなく、以後の半導体装置製造工程を歩留りよく行えるテープキャリア半導体装置用パッケージ、製品の取数を多くでき、コストの低減化が図れるテープキャリア半導体装置用パッケージの製造方法、および反りの発生等を極力防止できる半導体装置の製造方法を提供するにある。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、本発明に係るテープキャリア半導体装置用パッケージは、樹脂製のリジッドパネルにチップ搭載部および配線パターンが形成され、個片に切断された単位配線板の良品のみの単位配線板が、所定のピッチをもって一列に、接着剤を介して耐熱性のテープで両側縁部を連結されていることを特徴と

している。

【0009】さらに本発明に係るテープキャリア半導体装置用パッケージは、所要の切断代だけの間隔があげられて、チップ搭載部および所要の配線パターンを有する単位配線板が密なレイアウトをもって多数個作り込まれた樹脂製のリジッドパネルから、各単位配線板が個片に切断され、該個片に切断された単位配線板のうちの良品のみの単位配線板が、所定のピッチをもって一列に、接着剤を介して耐熱性のテープで両側縁部を連結されていることを特徴としている。

【0010】上記各テープキャリア半導体装置用パッケージにおいて、テープに所定のピッチで位置決め孔を開くことと好適である。また、前記単位配線板を、チップ搭載部と所要の配線パターンが形成されると共に、外部接続用のはんだボールが接続される溝子が形成されたボールグリッドアレイタイプの単位配線板に形成することができ。

【0011】さらに本発明に係るテープキャリア半導体装置用パッケージの製造方法では、樹脂製のリジッドパネルに所要の切断代だけの間隔をあけてチップ搭載部および所要の配線パターンを有する単位配線板を密なレイアウトをもって多数個作り込む工程と、該リジッドパネルから、各単位配線板を個片に切断する工程と、個片に切断された単位配線板の検査をし、良品のみの単位配線板を選択する工程と、選択された良品の単位配線板を所定のピッチをもって一列に両側縁部を接着剤を介して耐熱性を有するテープで連結する工程とを含むことを特徴としている。

【0012】またさらに本発明に係る半導体装置の製造方法では、樹脂製のリジッドパネルにチップ搭載部および配線パターンが形成され、個片に切断された単位配線板の良品のみの単位配線板が、所定のピッチをもって一列に、接着剤を介して耐熱性のテープで両側縁部を連結され、かつ該テープに所定のピッチで位置決め孔が開いたテープキャリア半導体装置用パッケージを用い、次の工程により半導体装置を形成することを特徴としている。

(A) テープキャリア半導体装置用パッケージを前記位置決め孔を用いて送り込む工程、(B) 送りこまれたテープキャリア半導体装置用パッケージの各単位配線板のチップ搭載部にチップを固定する工程、(C) チップ搭載部に固定されたチップと配線パターンとを電気的に接続する工程、(D) チップを樹脂封止する工程、また、ボールグリッドアレイタイプの単位配線板の場合には、さらに、(E) 溝子にはんだボールを接続する工程、(F) 樹脂封止される、かつはんだボールが接続された半導体装置を個々に分離する工程を行う。

【0013】

【作用】本発明に係るテープキャリア半導体装置用パッケージによれば、不良品の混入がなく、以後の半導体装

置製造工程を歩みよく行える。また本発明に係るテープキャリア半導体装置用パッケージの製造方法では、リジッドパネルに切断時のみの間隔を置いて密に単位配線板をレイアウトして作り込み、これを個片に切断してテープで連結するものであるから、取り扱を従来のストリップ方式に比べて格段に多くでき、製造コストの大幅な低減が可能となる。また、本発明の半導体装置の製造方法では、上記テープキャリア半導体装置用パッケージを用いることによって、連続した一貫生産も可能となると共に、途中で不良品が発生しても、テープを切断して取り除くこともでき、不良品に対する以後の無駄な工程を省くことができ、さらには、単位配線板が個片に分離されてテープで連結されているから、1つの単位配線板あるいは半導体装置に係る歪みか他の単位配線板あるいは半導体装置に及ぶのを防止でき、半導体装置の反り等の不具合を解消でき、特にボールグリッドアレイタイプの半導体装置の実装不良を解消できる。

#### 【0014】

【実施例】以下、本発明の好適な実施例を添付図面に基いて詳細に説明する。図1はテープキャリア半導体装置用パッケージ28の平面図、図2はその横断面図である。30は単位配線板であり、所定大きさの樹脂製のリジッドパネル上に中央にチップ搭載部32が形成され、チップ搭載部32の周囲に、チップ搭載部32に搭載されるチップとワイヤ等により電気的に接続される配線パターン34が形成されている。チップ搭載部32はリジッドパネルが露出して、リジッドパネル上に直接接着剤を介してチップを搭載するようにしてもよいが、図示の例ではチップの放熱性を高めるため、またチップの接地電位を確保するため、配線パターン34中の接地リードに接続されるダイパッドが形成されている。

【0015】リジッドパネルの裏面側にも図示しないが所要のパターンで配線パターンが形成され、該配線パターンの先端には後工程ではんだボールが固定される端子がマトリクス状のパターンで形成されている。リジッドパネル表裏の配線パターンは公知のスルーホール（図示せず）に形成したスルーホールめっき皮膜（図示せず）によって接続されている。なお、キャパティダウ型の半導体装置用パッケージの場合には、チップ搭載部32、配線パターン34、端子は全てリジッドパネルの同じ側に配置される。

【0016】37はポリイミド、アルミニウム等の耐熱性を有するテープであり、片面に接着剤38が塗布されている。前記単位配線板30は図示の如くテープ37に所定のピッチ（ダイ付け工程、ワイヤボンディング工程、樹脂封止工程等の後処理工程での送りピッチ）をもって配置され、この一列に配置された単位配線板30の両側縁部に表裏から前記テープ37が接着剤38により貼り合わせられ、これにより単位配線板30が所定のピッチをもって一列に連結されている。表裏のテープ37は前記

した後工程で障害とならない単位配線板30の縁部を表裏から挟み込むようにし、また単位配線板30の縁部より外方に出るテープ37はテープ同士で接合するようにしている。このテープ同士が接合されている部位を利用して該部位に後処理工程に単位配線板30を所要のピッチで送り込んだり、位置決めするための位置決め孔40が設けられている。

【0017】図3、図4はテープキャリア半導体装置用パッケージ28の他の実施例を示す。図3に示す実施例では、一列に配置した単位配線板30の下面両側縁部の片側のみを接着剤38付きのテープ37で固定して連結している。この場合にも単位配線板30の外方の部位のテープ37に位置決め孔40を設けている。図4に示す実施例では、一列に配置した単位配線板30の上面両側縁部の片側のみを接着剤38付きのテープ37で固定して連結している。この場合にも単位配線板30の外方の部位のテープ37に位置決め孔40を設けている。図3、図4に示す実施例において、単位配線板30が接着されている部位以外のテープ37に接着剤38が露出する。該部位には接着剤が露出しないことが好ましいので、接着剤38が付いていないテープ37を用い、単位配線板30の側縁部に接着剤を付けてテープ37上に貼りつけるようにするとよい（図示せず）。なお、上記各実施例において、位置決め孔40は必ずしも設けなくてもよく、この場合後処理工程でのテープキャリア半導体装置用パッケージ28の送り込みは、例えばローラなどを用いて行うことができる。

【0018】図5はテープキャリア半導体装置用パッケージ28の製造工程のうち、リジッドパネル10への単位配線板30を作り込むレイアウト図を示す。図示のように、本実施例では、単位配線板30を隣接する単位配線板30との間に切断したばかりの間隔があくように密にレイアウトし、公知の手法にしたがって単位配線板30をリジッドパネル10上に作り込むのである。上記のようにして単位配線板30を多数作り込んだリジッド配線板を切断時に沿ってダイシング、金型、NCルーター等の切断機で単位配線板30を個片に切り離す。次に個片に切り離した単位配線板30の全てについて電気試験（導通試験、ショート試験）を行い、良品を選抜する。

【0019】上記のようにして選抜した良品のみの単位配線板30を一定のピッチで所定の治具（図示せず）上に一列に配置し、単位配線板30の両側縁部を上下から（あるいは片側から）接着剤38付きのテープ37で貼り合わせる。テープ37にはあらかじめ前記位置決め孔40を開孔したものをを用いてもよいが、単位配線板30を上記のように連結した後、基準孔を中心に連続送りしながら所定の位置に位置決め孔40を開孔するようにすると、位置精度良く上下のテープ37に貫通孔をあけることができる。最後に必要に応じて、接着剤38を乾燥する乾燥工程を行ってテープキャリア半導体装置用パッ

ページ28に完成される。

【0020】本実施例では、330×330 mmのリジッドパネル10上に30×27mmの従来と同じ大きさの単位配線板30を切断代hを3mmに設定してレイアウトした場合に、90個の単位配線板30を得ることができ、従来に比し約44%増の取り数にすることができた。また切断代を1mmに設定した場合には、1パネル当たり110個の単位配線板30を得ることができ、従来に比し約72%増の取り数にすることができ、コストを大幅に低減できた。

【0021】テープキャリア半導体装置用パッケージ28は、図6に示すように巻き芯26が多角形に形成されたリール44に巻き取って、ユーザーに供給してもよいし、図7に示すように、マガジン48内にジグザグ状に折り畳むようにして収納して供給するようにしてもよい。あるいは、ユーザーのニーズにより、単位配線板30が所定の複数個連なった短冊状のもので供給するようにしてもよい。

【0022】図8は上記テープキャリア半導体装置用パッケージ28を用いて半導体装置を製造する工程例を示す。まず、テープキャリア半導体装置用パッケージ28をリール44あるいはマガジン48から所定の個数ずつ間欠的に以後の各処理装置に位置決め孔40を用いた位置決めして送り込む。第1工程では、チップ搭載部32にチップを接着剤等によって固定するダイボンディング工程が行われる。第2工程では接着剤を乾燥する乾燥工程が行われ、さらにチップと配線パターン34との間のワイヤボンディングが行われる。

【0023】次いで、トランスファ形成機等でチップの樹脂封止が行われる(片面)。あるいはレジンをボンディングしてチップを封止するようにしてもよい。この場合にはボンディング樹脂の乾燥が次工程で行われる。次にはんだボールが所定配置で収納された治具(図示せず)が、各単位配線板30の裏面側にはんだボールが単位配線板30の裏面側の端子に当接するようあてがわれ、そのまま炉を通されてはんだのリフローが行われ、はんだボールが各端子11に付着される。このはんだリフロー時の炉内温度は約230℃程度であるが、テープ37、接着剤38はこの温度に耐えられる耐熱性のあるものが選択される。最後にテープ37を除去して図9に示す半導体装置48に完成される。なおテープ37は半導体装置48の外縁に沿って金型で連続的に切断してもよい。この場合半導体装置48上にテープ37が残ってもよい。またテープ37の切断線に沿ってミシン目を入れておいたり(図示せず)、あるいはテープ37の切断線上にノッチ(図示せず)を入れておくことにより、切断金型を用いずにテープ37を切断することもできる。なお、上記各工程の途中で不良品(例えば樹脂封止欠陥)が生じた場合には、その段階でテープ37を切断して不良品を取り除き、再度テープ37を瞬間接着剤な

どで接続して、引き續き各工程を行うことができる。

【0024】図9に示すように、単位配線板30はあらかじめ個片に分離されているので、単位配線板30の片面側を封止樹脂50によって封止した場合に、封止樹脂の熱収縮によってやはり多少の反りが見られるが、裏面側のはんだボールを付着させることによって反りはほとんど解消される。この点従来の場合は、図10に示すように、複数の単位配線板がリジッドパネル上に重なっているため、樹脂封止した場合に、封止樹脂の収縮力がリジッドパネルを介してお互いに隣接する半導体装置にまで及び、特に中央側の半導体装置の反りが大きくなってボンディングワイヤの剥がれ、切れ等の前述した不良品が生じていたものである。

【0025】上記実施例では、ボールグリッドアレイタイプのテープキャリア半導体装置用パッケージ、半導体装置の例で示したが、これに限定されないことはもちろんであり、樹脂製のリジッドパネル上にチップ搭載部、配線パターンを有する単位配線板を作り込む全ての電子部品に適用できる。例えば、PCMCIAカード(ICカード、メモリーカード)用プリント配線板、ページ用プリント配線板、セルラードフォン用プリント配線板等に好適に適用できる。また、各単位配線板30に搭載するチップは1つに限られず、チップ搭載部が複数あり、またそれに伴って配線パターンが形成されたマルチチップモジュール基板(MCM基板)も本発明に含まれるものである。さらには、リジッドパネルを多層に形成した多層の半導体装置用パッケージにも適用できることはもちろんである。

【0026】以上本発明につき好適な実施例を挙げて種々説明したが、本発明はこの実施例に限定されるものではなく、発明の精神を逸脱しない範囲内で多くの改変を施し得るのももちろんである。

【0027】

【発明の効果】本発明に係るテープキャリア半導体装置用パッケージによれば、不良品の混入がなく、以後の半導体装置製造工程を歩留りよく行える。また本発明に係るテープキャリア半導体装置用パッケージの製造方法では、リジッドパネルに切断代のみを開闢をおいて密に単位配線板をレイアウトして作り込み、これを個片に切断してテープで連結するものであるから、取り数を従来のストリップ方式に比して格段に多くでき、製造コストの大幅な低減が可能となる。また、本発明の半導体装置の製造方法では、上記テープキャリア半導体装置用パッケージを用いることによって、連続した一貫生産も可能となると共に、途中で不良品が発生しても、テープを切断して取り除くことができ、不良品に対する以後の無駄な工程を省くことができ、さらには、単位配線板が個片に分離されてテープで連結されているから、1つの単位配線板あるいは半導体装置に係る歪みが他の単位配線板あるいは半導体装置に及ぶのを防止でき、半導体装置の反

り等の不具合を解消でき、特にボールグリッドアレイタイプの半導体装置のはんだボールを一平面内に位置させることができるので実装不良を解消できる。またさらに、従来のレール部等の不要部が産業廃棄物として多く生じたが、本発明ではこれら産業廃棄物を可及的に少なくできる。

【図面の簡単な説明】

【図1】 テープキャリア半導体装置用パッケージの平面図である。

【図2】 図1のテープキャリア半導体装置用パッケージの横断面図である。

【図3】 テープキャリア半導体装置用パッケージの他の実施例を示す横断面図である。

【図4】 テープキャリア半導体装置用パッケージのさらに他の実施例を示す横断面図である。

【図5】 リジッドパネルへの単位配線板のレイアウトを示す説明図である。

【図6】 テープキャリア半導体装置用パッケージをリールに巻回した説明図である。

【図7】 テープキャリア半導体装置用パッケージをマガジン内にジグザグ状に収納した状態を示す説明図であ

る。

【図8】 半導体装置の製造工程の一例を示す工程図である。

【図9】 半導体装置の説明図である。

【図10】 従来の半導体装置の反りの状況を示す説明図である。

【図11】 従来のリジッドプリント配線板からなる半導体装置用パッケージのリジッドパネル上へのレイアウトを示す説明図である。

【符号の説明】

28 テープキャリア半導体装置用パッケージ

30 単位配線板

32 チップ搭載部

34 配線パターン

37 テープ

38 接着剤

40 位置決め孔

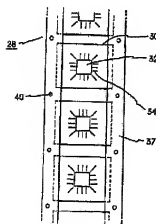
42 巻き芯

44 リール

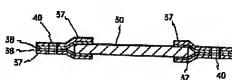
46 マガジン

48 半導体装置

【図1】



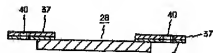
【図2】



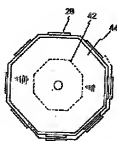
【図9】



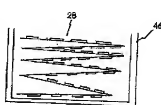
【図4】



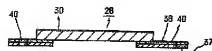
【図6】



【図7】



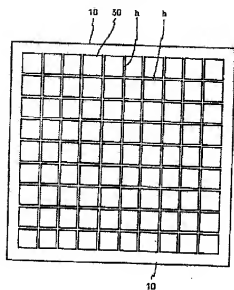
【図3】



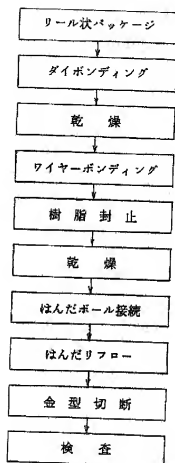
【図10】



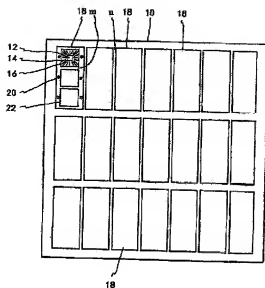
【図5】



【図8】



【図11】




---

フロントページの続き

(72)発明者 加藤 洋二

長野県茅野市塚原1-8-37 株式会社イ  
ースタン内

## Disclaimer

This English translation is produced by machine translation and may contain errors. The JPO, the NCIP, and those who drafted this document in the original language are not responsible for the result of the translation.

## Notes:

1. Untranslatable words are replaced with asterisks (\*\*\*\*).
2. Texts in the figures are not translated and shown as it is.

Translated: 23:32:24 JST 09/21/2006

Dictionary: Last updated 08/25/2006 / Priority:

## FULL CONTENTS

## [Claim(s)]

[Claim 1] A chip loading part and a circuit pattern are formed in the RIJIDDO panel made of resin. The package for tape career semiconductor devices characterized by for the unit patchboard of only the excellent article of the unit patchboard cut by the piece of \*\* having a predetermined pitch, and connecting the edges-on-both-sides part with one row on the heat-resistant tape through adhesives.

[Claim 2] [ panel / by which many unit patchboards which the interval of only a necessary cutting margin is opened and have a chip loading part and a necessary circuit pattern were made with the dense layout / made of resin / RIJIDDO ] The package for tape career semiconductor devices characterized by for the unit patchboard of only the excellent article of the unit patchboards with which each unit patchboard was cut by the piece of \*\* and was cut by this piece of \*\* having a predetermined pitch, and connecting the edges-on-both-sides part with one row on the heat-resistant tape through adhesives.

[Claim 3] The package for tape career semiconductor devices according to claim 1 or 2 characterized by carrying out the opening of the tooling holes to said tape in the predetermined pitch.

[Claim 4] The package for tape career semiconductor devices according to claim 1, 2, or 3 characterized by said unit patchboard being a unit patchboard of the ball grid array type with which the terminal to which the solder for external connection is connected was formed while a chip loading part and a necessary circuit pattern are formed.

[Claim 5] The process which makes many unit patchboards which open the interval of only a necessary cutting margin in the RIJIDDO panel made of resin, and have a chip loading part and a necessary circuit pattern with a dense layout. The process which cuts each unit patchboard from this RIJIDDO panel to the piece of \*\*, and the process which inspects the unit patchboard cut by the piece of \*\*, and selects the unit patchboard of only an excellent article. The manufacture method of the package for tape career semiconductor devices characterized by including the process which connects the unit patchboard of the selected excellent article on the tape which has heat resistance for a edges-on-both-sides part through adhesives with a predetermined pitch in one row.

[Claim 6] A chip loading part and a circuit pattern are formed in the RIJIDDO panel made of resin. The unit patchboard of only the excellent article of the unit patchboard cut by the piece of \*\* has a predetermined pitch, and it [ one row ] The manufacture method of the semiconductor device characterized by forming a semiconductor device according to the following process using the package for tape career semiconductor devices with which the edges-on-both-sides part was connected on the heat-resistant tape and, the opening of the tooling holes was carried out [ package ] to this tape in the predetermined pitch through adhesives.

(A) The process which sends in the package for tape career semiconductor devices using said tooling holes, (B) The process which fixes a chip to the chip loading part of each unit patchboard of the sent-in package for tape career semiconductor devices, the process which connects electrically the chip fixed to (C) chip loading part, and a circuit pattern, the process which carries out the plastic molding of the (D) chip.

[Claim 7] The terminal by which a chip loading part, a circuit pattern, and the solder ball for external connection are connected to the RIJIDDO panel made of resin is formed. The unit patchboard of only the excellent article of the unit patchboard cut by the piece of \*\* has a predetermined pitch, and it [ one row ] The manufacture method of the semiconductor device characterized by forming a semiconductor device according to the following process using the package for tape career semiconductor devices with which the edges-on-both-sides part was connected on the heat-resistant tape and, the opening of the tooling holes was carried out [ package ] to this tape in the predetermined pitch through adhesives.

(A) The process which sends in the package for tape career semiconductor devices using said tooling holes, (B) The process which fixes a chip to the chip loading part of each unit patchboard of the sent-in package for tape career semiconductor devices, (C) The process which separates separately the semiconductor device to which the process which connects electrically the chip fixed to the chip loading part and a circuit pattern, the process

which carries out the plastic molding of the (D) chip, and the process which connects a solder ball to said terminal and (E) (F) plastic molding were carried out, and the solder ball was connected.

# [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is used for the package for tape carrier semiconductor devices, especially ball grid array type, and relates to the suitable package for tape carrier semiconductor devices, its manufacture method, and the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] [ the package for semiconductor devices which consists of a rigid printed board ] As shown in drawing 11 , the chip loading part 12 and the unit patchboard 16 (package for unit semiconductor devices) which has the necessary circuit pattern 14 are formed in the RIJIDDO panel 10 made of resin with a predetermined layout. It cuts on the strip frame 18 of the shape of a strip of paper with which this was united with the user's needs, for example, three unit patchboards 16 were connected like illustration, and a user is supplied. Position to each processing unit on the basis of the tooling holes 20 which have formed the strip frame 18 which came to hand beforehand in the user side, and each unit patchboard 16 is sent in one by one. Chip attachment (die bonding), wire bonding, the plastic molding of a chip, etc. are performed, and he carries out cutting separation, and is trying to manufacture each semiconductor device.

[0003]

[Problem to be solved by the invention] When [ by the way, ] forming in the shape of strip frame 18 like before. While connecting two or more unit patchboards 16 (package for unit semiconductor devices) The frame part 22 which the above-mentioned tooling holes 20 are formed is needed for the circumference of the unit patchboard 16 by fixed width. Moreover, also between the adjoining unit patchboards 16, the predetermined intervals m also including the cutting margin which finally carries out cutting separation at each semiconductor device according to the amount of sending in each processing unit, such as Di attachment equipment, wire bonding equipment, an plastic molding equipment, are required. Furthermore, it is necessary to secure the cutting margin n at the time cutting on a frame at least also between the adjoining strip frames 18.

[0004] For this reason, in the former, when [ above-mentioned ] it became the end products so to speak, area which becomes useless, such as portions of the frame part 22 and an interval m and a cutting margin n, became large, there was a limit also in the layout which increases the number of \*\*, and the technical problem that the number of \*\* of the product per 1 RIJIDDO panel decreased occurred. Although based also on the size of the unit patchboard 16 For example, when the strip frame 18 of the 96x40mm angle by which three unit patchboards 16 have been arranged was obtained from per RIJIDDO panel of the 330 x330 mm angle shown in drawing 11 , only the strip frame 18 of 21 sheets, therefore 63 unit patchboards 16 were obtained.

[0005] Furthermore, [ that inferior goods mix on manufacture technology ] although not avoided for example, when there are at least one inferior goods among the unit patchboards 16 in the case of the strip frame 18 of three unit patchboards 16 Inferior-goods treatment of the strip frame 18 whole was carried out, inferior-goods treatment will be carried out, the yield fell, and the unit patchboard 16 of other two excellent articles also had a technical problem used as a cost overrun. On the other hand, even if it is the case where mixing of one inferior goods is allowed among three unit patchboards 16, there is a problem it becomes troublesome by the YUUSAZ discharging of inferior goods shortly.

[0006] Moreover, when a chip is carried in the unit patchboard 16 and it carries out the plastic molding of this chip, closure resin is considered what is called as one side closure of only the side in which the chip was carried in many cases, but in this one side closure, the technical problem that curvature arises in a semiconductor device by the heat contraction of closure resin occurs. Although curvature becomes large especially at the semiconductor device by the side of the center of the strip frame 18 When curvature arises, since there is fault which peeling of a bonding wire and a piece produce or there is no solder ball on 1 plane in particular, in the case of a ball grid array type semiconductor device, technical problems --- it is easy to produce poor mounting --- occur.

[0007] [ then, the place which this invention is made that the above-mentioned problem should be solved, and is made into the purpose ] The package for tape carrier semiconductor devices which there is no mixing of inferior goods and can perform future semiconductor device manufacturing processes with the sufficient yield. The number of picking of a product is increased and it is in offering the manufacture method of the semiconductor device which can prevent the manufacture method of the package for tape carrier semiconductor devices which can attain reduction-ization of cost, generating of curvature, etc. as much as possible.

[0008] -

[Means for solving problem] This invention is equipped with the next composition in order to attain the above-mentioned purpose. [ namely, the package for tape career semiconductor devices concerning this invention ] It is characterized by forming a chip loading part and a circuit pattern in the RIJIDDO panel made of resin, and for unit patchboard of only the excellent article of the unit patchboard cut by the piece of \*\* having a predetermined pitch, and connecting the edges-on-both-sides part with one row on the heat-resistant tape through adhesive

[0009] [ furthermore, the package for tape career semiconductor devices concerning this invention ] [ panel / I which many unit patchboards which the interval of only a necessary cutting margin is opened and have a chip loading part and a necessary circuit pattern were made with the dense layout / made of resin / RIJIDDO ] The unit patchboard of only the excellent article of the unit patchboards which each unit patchboard was cut by the piece of \*\*, and were cut by this piece of \*\* is characterized by having a predetermined pitch and connecting the edges-on-both-sides part with one row on the heat-resistant tape through adhesives.

[0010] In each above-mentioned package for tape career semiconductor devices, if the opening of the tooling holes is carried out to a tape in a predetermined pitch, it is suitable. Moreover, said unit patchboard can be formed in the unit patchboard of the ball grid array type with which the terminal to which the solder ball for external connection is connected was formed while a chip loading part and a necessary circuit pattern are formed.

[0011] furthermore, [ the manufacture method of the package for tape career semiconductor devices concerning this invention ] The process which makes many unit patchboards which open the interval of only a necessary cutting margin in the RIJIDDO panel made of resin, and have a chip loading part and a necessary circuit pattern with a dense layout. The process which cuts each unit patchboard from this RIJIDDO panel to the piece of \*\*, and the process which inspects the unit patchboard cut by the piece of \*\*, and selects the unit patchboard of only an excellent article, it is characterized by including the process which connects the unit patchboard of the selected excellent article on the tape which has heat resistance for a edges-on-both-sides part through adhesives with a predetermined pitch in one row.

[0012] furthermore, [ the manufacture method of the semiconductor device concerning this invention ] A chip loading part and a circuit pattern are formed in the RIJIDDO panel made of resin. The unit patchboard of only the excellent article of the unit patchboard cut by the piece of \*\* has a predetermined pitch, and it [ one row ] It is characterized by forming a semiconductor device according to the following process using the package for tape career semiconductor devices by which the edges-on-both-sides part was connected on the heat-resistant tape and the opening was carried out for tooling holes to this tape in the predetermined pitch through adhesives.

(A) The process which sends in the package for tape career semiconductor devices using said tooling holes, (B) The process which fixes a chip to the chip loading part of each unit patchboard of the sent-in package for tape career semiconductor devices, the process which connects electrically the chip fixed to (C) chip loading part, or a circuit pattern, the process which carries out the plastic molding of the (D) chip. Moreover, in the case of a ball grid array type unit patchboard, the process which separates separately the semiconductor device to which the process which connects a solder ball to the (E) terminal, and (F) plastic molding were further carried out, and the solder ball was connected is performed.

[0013]

[Function] According to the package for tape career semiconductor devices concerning this invention, there is no mixing of inferior goods and future semiconductor device manufacturing processes can be performed with the sufficient yield. moreover, [ the manufacture method of the package for tape career semiconductor devices concerning this invention ] since set the interval of only a cutting margin on a RIJIDDO panel, and arrange a unit patchboard, it is made densely, this is cut to the piece of \*\* and it connects on a tape, the number of picking is markedly boiled as compared with the conventional strip method, and is increased, and sharp reduction of manufacture cost is attained. Moreover, while the integrated production which continued by using the above-mentioned package for tape career semiconductor devices by the manufacture method of the semiconductor device of this invention also becomes possible Even if inferior goods occur on the way, can also cut and remove tape, can skip the useless process after receiving inferior goods, and further it can prevent that distortion concerning one unit patchboard or a semiconductor device attains to other unit patchboards or semiconductor devices since it separates into the piece of \*\* and the unit patchboard is connected on the tape. Faults, such as curvature of a semiconductor device, can be canceled and poor mounting of a ball grid array type semiconductor device can be canceled especially.

[0014]

[Working example] The suitable example of this invention is hereafter explained in detail based on an accompanying drawing. Drawing 1 is the top view of the package 28 for tape career semiconductor devices, and drawing 2 is the transverse cross section. 30 is a unit patchboard, the chip loading part 32 is formed in the center

on the RIJIDDO panel made of resin of a necessary size, and the circuit pattern 34 electrically connected with the chip carried in the chip loading part 32 around the chip loading part 32 by the wire etc. is formed. Although RIJIDDO panel exposes the chip loading part 32 and you may make it carry a chip through direct adhesives on RIJIDDO panel, in order to raise the heat dissipation nature of a chip in the example of illustration, Moreover, in order to secure the grounding potential of a chip, DAIPADDO connected to the grounding lead in the circuit pattern 34 is formed.

[0015] Although not illustrated to the back side of a RIJIDDO panel, either, a circuit pattern is formed by a necessary pattern, and the terminal with which a solder ball is fixed at a back process is formed at the tip of the circuit pattern by the matrix-like pattern. The circuit pattern of the RIJIDDO panel table reverse side is connected by the through hole plating coat (not shown) formed in the well-known through hole (not shown). In addition, in the case of the cavity down type package for semiconductor devices, all of the chip loading part 32 the circuit pattern 34, and a terminal are arranged at the same RIJIDDO panel side.

[0016] 37 is a tape which has the heat resistance of polyimide, aluminum foil, etc., and adhesives 38 are applied one side, a pitch (a Di attachment process →) predetermined [like / illustration] in said unit patchboard 30 to one row. It is stuck with the sending pitch in tail end processes, such as a wire bonding process and a plastic molding process. Said tape 37 is stuck on the edges-on-both-sides part of the unit patchboard 30 arranged at this one row by adhesives 38 from the front reverse side, and, thereby, the unit patchboard 30 is connected with one row with the predetermined pitch. He is trying to paste up on tapes the tape 37 which it puts the edge of the unit patchboard 30 acting as [a process] an obstacle from the front reverse side after describing above the tape 37 of the front reverse side, and appears in the method of outside [edge / of the unit patchboard 30]. Using the part which these tapes have pasted up, the unit patchboard 30 is sent into a tail end process in a necessary pitch, or the tooling holes 40 for positioning are formed in this part.

[0017] Drawing 3 and drawing 4 show other examples of the package 28 for tape carrier semiconductor devices. In the example shown in drawing 3, only one side of the undersurface edges-on-both-sides part of the unit patchboard 30 arranged to one row is fixed and connected on the tape 37 with adhesives 38. Also in this case, the tooling holes 40 are formed in the tape 37 of the part of a way outside the unit patchboard 30. In the example shown in drawing 4, only one side of the upper surface edges-on-both-sides part of the unit patchboard 30 arranged to one row is fixed and connected on the tape 37 with adhesives 38. Also in this case, the tooling hole 40 are formed in the tape 37 of the part of a way outside the unit patchboard 30. In the example shown in drawing 3 and drawing 4, adhesives 38 are exposed to tapes 37 other than the part which the unit patchboard 30 has pasted up. Since it is desirable that adhesives are not exposed to this part, it is good to attach adhesives to the side edge part of the unit patchboard 30, and to make it stick on a tape 37 using the tape 37 to which adhesives 38 are not attached (not shown). In addition, it is not necessary to necessarily form the tooling holes 40, and they can perform sending of the package 28 for tape carrier semiconductor devices in a tail end process in each above-mentioned example, for example using a roller etc. in this case.

[0018] Drawing 5 shows the layout figure which makes the unit patchboard 30 to the RIJIDDO panel 10 among the manufacturing processes of the package 28 for tape carrier semiconductor devices. Like illustration, it arranges densely so that the interval of a cutting margin h may open between the unit patchboards 30 which adjoin the unit patchboard 30, and according to a well-known technique, the unit patchboard 30 is made from the example on the RIJIDDO panel 10. Along with a cutting margin h, the unit patchboard 30 is separated for the RIJIDDO patchboard which made many unit patchboards 30 as mentioned above to the piece of \*\* with cutting machines, such as dicing, a metallic mold, and NC router. Next, an electric examination (a continuity test, short examination) is done about all the unit patchboards 30 separated to the piece of \*\*, and an excellent article is selected.

[0019] the unit patchboard 30 of only the excellent article selected as mentioned above is arranged on a predetermined \*\* implement (not shown) in a fixed pitch at one row, and the edges-on-both-sides part of the unit patchboard 30 is stuck on the tape 37 with adhesives 38 from one side or — from the upper and lower side. If it is made to carry out the opening of the tooling holes 40 to a predetermined position a center [a standard hole] while [continuation sending] after connecting the unit patchboard 30 as mentioned above although what carried out the opening of said tooling holes 40 beforehand may be used for a tape 37. A penetration hole can be opened in the up-and-down tape 37 with sufficient accuracy of position. Finally the dryness process which dries adhesives 38 is performed if needed, and the package 28 for tape carrier semiconductor devices is completed.

[0020] In this example, when a cutting margin h was set as 3mm and the unit patchboard 30 of the size same on the rigid panel 10 of 330 x330 mm as the 30x27mm former was arranged, 90 unit patchboards 30 could be obtained, and it was able to compare with the former, and was able to be made the number of picking of the increase of about 44%. Moreover, when a cutting margin was set as 1mm, 110 unit patchboards 30 per one panel could be obtained, and it was able to compare with the former, and could be made the number of about 72%

increase thing picking, and cost has been reduced sharply.

[P021] The package 28 for tape carrier semiconductor devices is rolled as shown in drawing 6, the heart 42 may roll it round to the reel 44 formed in the polygon, and may supply it to a user, as it folds up in the shape of zigzag it stores, and you may make it supply it in a magazine 46, as shown in drawing 7. Or the unit patchboard 30 is the thing of the shape of a predetermined strip of paper which stood in a row, and you may make it supply according to a user's needs.

[0022] Drawing 8 shows the example of a process which manufactures a semiconductor device using the above mentioned package 28 for tape carrier semiconductor devices. first, the package 28 for tape carrier semiconductor devices — every [ predetermined from a reel 44 or a magazine 46 / the number ] — the tooling holes 40 are intermittently used, positioned and sent into each future processing unit. At the 1st process, the die-bonding process which fixes a chip to the chip loading part 32 with adhesives etc. is performed. At the 2nd process, the dryness process which dries adhesives is performed and wire bonding between a chip and the circuit pattern 34 is performed further.

[0023] Subsequently, the plastic molding of a chip is performed by the transfer-molding machine etc. (one side). Or resin and you may make it stop a chip. In this case, dryness of POTTINGU resin is performed at the following process. Next, the \*\* implement (not shown) with which the solder ball was stored by predetermined arrangement is assigned so that a solder ball may contact the terminal by the side of the back of the unit patchboard 30 at the back side of each unit patchboard 30, it lets the inside of a furnace pass as it is, the reflow of solder is performed, and it adheres to a solder ball on each terminal. Although the degree of furnace temperature at the time of this solder reflow is about 230 degrees C, the existing thing of the heat resistance to which a tape 37 and the adhesives 38 can bear this temperature is chosen. The semiconductor device 48 which finally removes a tape 37 and is shown in drawing 9 is completed. In addition, you may cut a tape 37 continuously by a metallic mold along the rim of the semiconductor device 48. In this case, a tape 37 may remain on the semiconductor device. Moreover, a tape 37 can also be cut by putting in perforations or putting in the notch (not shown) along the line of cutting plane of a tape 37, on (it not illustrating) or the line of cutting plane of a tape 37, without using a cutting metallic mold. In addition, when inferior goods (for example, plastic molding defect) arise in the middle of each above-mentioned process, a tape 37 can be cut in the stage, inferior goods can be removed, a tape 37 can be again connected with a quick-drying glue etc., and each process can be performed successfully.

[0024] [ since the unit patchboard 30 is beforehand divided into the piece of \*\* as shown in drawing 9 , when the one side side of the unit patchboard 30 is closed with closure resin 50, some curvature is too seen by the heat contraction of closure resin, but ] Most curvature is canceled by making the solder ball by the side of the back adhere. Since two or more unit patchboards stand in a row on the RIJIDDO panel as shown in drawing 10 in this point former When a plastic molding is carried out, the contractile force of closure resin attained to even the semiconductor device which adjoins mutually through a RIJIDDO panel, especially, the curvature of the semiconductor device by the side of a center became large, and the fault mentioned [ piece / peeling of a bonding wire. ] above has arisen.

[0025] Although the example of the ball grid array type package for tape carrier semiconductor devices and the semiconductor device showed in the above-mentioned example Of course, it is not limited to this and can be adapted for all the electronic parts which make the unit patchboard which has a chip loading part and a circuit pattern on the RIJDDO panel made of resin. For example, it is suitably [ for the printed wiring board for PCMCIA cards (an IC card, memory card) the printed wiring board for pagers, the printed wiring board for cellular FOM, etc. ] applicable. Moreover, the chip carried in each unit patchboard 30 is not restricted to one, but, as for those with two or more, and the multi-chip module board (MCM board) in which the circuit pattern was formed in connection with it, a chip loading part is included by this invention. Furthermore, of course, a RIJDDO panel is applicable also to the multilayer package for semiconductor devices formed in the multilayer.

[0026] Although the suitable example was given per this invention above and many things were explained, as for this invention, it is needless to say that many can be changed within limits which are not limited to this example and do not deviate from the soul of invention.

[0027]

[Effect of the Invention] According to the package for tape carrier semiconductor devices concerning this invention, there is no mixing of inferior goods and future semiconductor device manufacturing processes can be performed with the sufficient yield. moreover, [ the manufacture method of the package for tape carrier semiconductor devices concerning this invention ] since set the interval of only a cutting margin on a RIJIDDO panel, and arrange a unit patchboard, it is made densely, this is cut to the piece of \*\* and it connects on a tape, the number of picking is markedly boiled as compared with the conventional strip method, and is increased, and sharp reduction of manufacture cost is attained. Moreover, while the integrated production which continued by using the above-mentioned package for tape carrier semiconductor devices by the manufacture method of the

semiconductor device of this invention also becomes possible. Even if inferior goods occur on the way, can cut and remove a tape, can skip the useless process after receiving inferior goods, and further it can prevent that distortion concerning one unit patchboard or a semiconductor device attains to other unit patchboards or semiconductor devices since it separates into the piece of \*\* and the unit patchboard is connected on the tape. Faults, such as curvature of a semiconductor device, are cancelable, and since the solder ball of a ball grid array type semiconductor device can be especially located in 1 plane, poor mounting is cancelable. Furthermore, although many unnecessary parts, such as a rail part, arose as industrial waste conventionally, in this invention, these industrial waste can be lessened as much as possible.

---

#### [Brief Description of the Drawings]

[Drawing 1] It is the top view of the package for tape career semiconductor devices.

[Drawing 2] It is the transverse cross section of the package for tape career semiconductor devices of drawing 1.

[Drawing 3] It is the transverse cross section showing other examples of the package for tape career semiconductor devices.

[Drawing 4] It is the transverse cross section showing the example of further others of the package for tape career semiconductor devices.

[Drawing 5] It is the explanatory view showing the layout of the unit patchboard to a RIJIDDO panel.

[Drawing 6] It is the explanatory view which wound the package for tape career semiconductor devices around the reel.

[Drawing 7] It is the explanatory view showing the state where the package for tape career semiconductor devices was stored in the shape of zigzag in the magazine.

[Drawing 8] It is the flowchart showing an example of the manufacturing process of a semiconductor device.

[Drawing 9] It is the explanatory view of a semiconductor device.

[Drawing 10] It is the explanatory view showing the situation of the curvature of the conventional semiconductor device.

[Drawing 11] It is the explanatory view showing the layout of a up to [ the rigid panel of the package for semiconductor devices which consists of the conventional rigid printed board ].

[Explanations of letters or numerals]

28 Package for Tape Career Semiconductor Devices

30 Unit Patchboard

32 Chip Loading Part

34 Circuit Pattern

37 Tape

38 Adhesives

40 Tooling Holes

42 Volume Heart

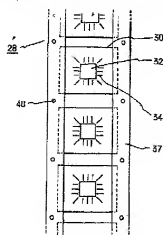
44 Reel

46 Magazine

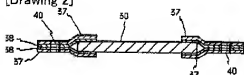
48 Semiconductor Device

---

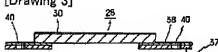
[Drawing 1]



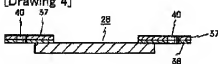
[Drawing 2]



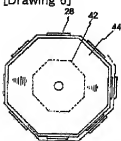
[Drawing 3]



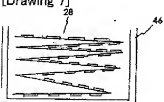
[Drawing 4]



[Drawing 6]



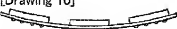
[Drawing 7]



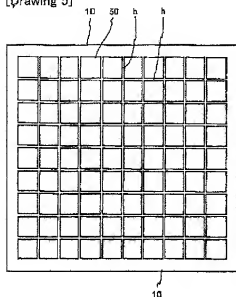
[Drawing 9]



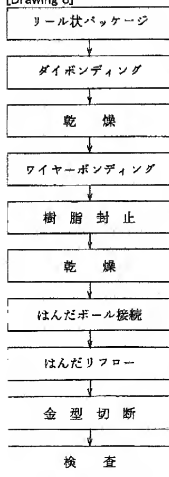
[Drawing 10]



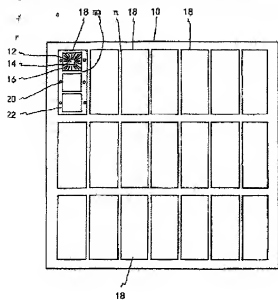
[Drawing 5]



[Drawing 8]



[Drawing 11]



---

[Translation done.]